

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-082462

(43)Date of publication of application : 02.04.1993

(51)Int.Cl.

H01L 21/22
H01L 21/322

(21)Application number : 03-241192

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.09.1991

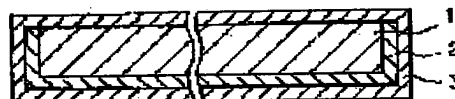
(72)Inventor : INABA MICHIKO
KOBAYASHI MASANORI
YAMAZAKI TAKESHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a method for reducing the permeation of contamination metal into a semiconductor substrate, as regards contamination reduction at the time of heat treatment in a manufacturing process.

CONSTITUTION: When heat treatment is performed in a manufacturing process of a semiconductor device, at least the rear of a semiconductor substrate 1 is covered with coating members 2, 5 of material wherein the diffusion coefficient of contamination metal is equivalent or small as compared with the case of the semiconductor substrate. The whole part of the semiconductor substrate is coated with nitride films 3, 6, so as to contain the coating members 2, 5. The material turning to the coating member is SiC, and constitutes a CVD-SiC film 2 formed at least on the rear of the semiconductor substrate 1, and a CVD-SiC plate 5 which is individually prepared and arranged on the rear.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-82462

(43)公開日 平成5年(1993)4月2日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/22		Z 9278-4M		
21/322		N 8617-4M		

審査請求 未請求 請求項の数5(全 4 頁)

(21)出願番号 特願平3-241192

(22)出願日 平成3年(1991)9月20日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 稲葉 三智子

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 小林 正典

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 山崎 健

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 青木 朗 (外4名)

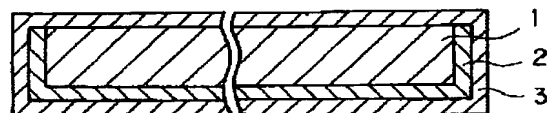
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 IC、LSIなどの半導体装置の製造方法、より詳しくは、製造過程の熱処理時における汚染低減に関し、汚染金属の半導体基板への浸入をもっと低減する方法を提供することを目的する。

【構成】 半導体装置製造過程での熱処理を行う際に、半導体基板1の少なくとも裏面を、汚染金属の拡散係数が半導体基板の場合と比べて同等以下の物質の被覆部材2、5で覆い、かつ該被覆部材2、5を含めて半導体基板の全体を窒化物膜3、6で被覆するように構成する。該被覆部材となる物質はSiCであり、半導体基板1の少なくとも裏面上に形成したCVD-SiC膜2あるいは別途用意して背面に配置したCVD-SiC板5である。

図1のものにSi₃N₄膜を全面形成した半導体装置の概略図



3...Si₃N₄膜

【特許請求の範囲】

【請求項 1】 半導体装置製造過程での熱処理を行う際に、半導体基板（１）の少なくとも裏面を、汚染金属の拡散係数が前記半導体基板の場合と比べて同等以下の物質の被覆部材（２、５）で被覆することを特徴とする半導体装置の製造方法。

【請求項 2】 前記汚染金属とは、アルカリ金属、アルカリ土類金属および遷移金属から選ばれた金属であることを特徴とする請求項 1 記載の製造方法。

【請求項 3】 前記被覆部材（２、５）となる物質とは SiC であることを特徴とする請求項 1 記載の製造方法。

【請求項 4】 前記被覆部材（２）が CVD 法によって前記半導体基板の少なくとも裏面上に形成した SiC 膜であることを特徴とする請求項 1 記載の製造方法。

【請求項 5】 前記被覆部材（５）が別途用意した CVD-SiC 板であり、該 SiC 板を前記半導体基板（１）の裏面上に配置したことを特徴とする請求項 1 記載の製造方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、IC、LSI などの半導体装置の製造方法、より詳しくは、製造過程の熱処理時における汚染低減に関する。近年の半導体装置の高集積化、素子の微細化に伴い、汚染の低減が一層要求されてきている。そのために、特に、半導体装置の熱処理時における汚染（汚染金属の半導体基板への浸入）を低減する必要がある。

【0002】

【従来の技術】 従来は、熱処理時の汚染防止のためには、熱処理前に半導体基板全体を CVD（化学的気相成長）法によりシリコン窒化膜（ Si_3N_4 膜）で被覆し、熱処理後に該窒化膜を除去していた。この窒化膜によって、汚染金属がシリコン半導体基板中へ浸透（拡散）するのを阻止する訳である。

【0003】

【発明が解決しようとする課題】 上述したように、半導体基板全体をシリコン窒化膜で被覆しているにもかかわらず、熱処理時の温度、時間に依存して汚染金属（Na, K, Fe, Ca, Cu, Au, Co, Ni, Al および Cr）が徐々にこの窒化膜を拡散通過（浸透）して半導体基板に達して浸入することがある。従って、このような汚染金属の確実な侵入防止が求められている。

【0004】 本発明の目的は、半導体装置製造での熱処理において、汚染金属の半導体基板への浸入をもっと低減する方法を提供することである。

【0005】

【課題を解決するための手段】 上述の目的が、半導体装置製造過程での熱処理を行う際に、半導体基板の少なくとも裏面を、汚染金属の拡散係数が半導体基板の場合と比べて同等以下の絶縁性物質で覆い、かつ該覆いを含めて半導体基板の全体を窒化物膜で被覆することを特徴とする半導体装置の製造方法によって達成される。

【0006】 汚染金属は、アルカリ金属、アルカリ土類金属および遷移金属であり、本発明にしたがって設ける被覆部材となる絶縁性物質は CVD-SiC である。該被覆部材が CVD 法によって半導体基板の少なくとも裏面上に形成した SiC 膜であることが好ましい。さらに、被覆部材が別途用意した CVD-SiC 板であり、該 SiC 板を半導体基板の裏面上に配置してもよい。

【0007】

【作用】 本発明によれば、従来用いていた窒化物膜に加えて、半導体基板の少なくとも裏面に金属の拡散定数の小さい絶縁物膜（板）を形成（配置）するならば、この絶縁物質が裏面からの汚染金属の透過を一層減らすので、半導体基板への浸入を抑制し、防止することができる。

【0008】 特に、CVD-SiC は金属の拡散定数が低く、表 1 に示すように単結晶シリコン基板と比較しても低いので、望ましい。

【0009】**【表 1】**

表1 CVD-SiC およびSi中の金属拡散係数

(cm²/s at 1300℃)

金属	CVD-SiC	Si
Fe	6.5×10^{-14}	1×10^{-8}
Co	1.3×10^{-14}	3×10^{-8}
Cr	6.3×10^{-14}	5×10^{-8}
Au	8.6×10^{-14}	3×10^{-8}

【0010】CVD法によるSiC膜を半導体基板の全面に成形することも考えられるが、半導体基板の表面（素子形成表面）にCVD-SiC膜を形成するとその除去をしなければならない。このCVD-SiC膜は耐食性が優れており、その除去が容易でないために、基板の素子形成表面には形成しない。

【0011】

【実施例】以下、添付図面を参照して、本発明の実施態様例および比較例によって本発明を詳細に説明する。

例1

図1の半導体装置の概略断面図に示すように、シリコン半導体基板（ウエハー）1の背面および側面の上に、公知のCVD法によってSiC膜2を形成する。CVD-SiC膜2の厚さは、0.001～1000μmであるのが好ましく、その下限は1300℃での汚染金属の拡散係数のかつ熱処理時間をも考慮して汚染金属が透過しない程度にするものであり、上限はCVD処理の時間、コスト、除去の手間などを考慮して設定する。

【0012】次に、図2に示すように、公知のCVD法によってSi₃N₄膜3を、先に形成したCVD-SiC膜2を含め基板全面に成膜する。Si₃N₄膜3の厚さは、0.001μm以上であることが好ましい。このように全面を被覆保護してから、所定の熱処理（例えば、イオン注入後のアニール熱処理）を通常の加熱炉にて施す。この熱処理の際に、裏面に汚染金属が存在しても、CVD-SiC膜2が汚染金属の透過を抑制ないし防止するので、CVD-SiC膜2で覆われた基板背面および側面から浸透する汚染金属量は大幅に低減される。

【0013】そして、半導体装置の次工程の前に、少なくとも基板表面（素子形成面）側のSi₃N₄膜3をエッチング除去する。

例2

図3に示すように、別途用意したCVD-SiC板5の上にシリコン半導体基板（ウエハー）1の背面を載置する。こ

のCVD-SiC板5は、カーボン基板にCVD法によりSiCを形成し、カーボン基板を高温酸素雰囲気中で除去することによって調整され、あるいは、焼結SiCと呼ばれる粒状SiCにSi融液を流し込んで緻密質のSiCとしたものにCVD法でSiCを被覆することによって調製され、その厚さが10μm以上である。そして、図4に示すように、CVD-SiC板5を含め基板全面に公知のCVD法によって例1のSi₃N₄膜と同様なSi₃N₄膜6を成膜する。このように全面を被覆保護してから、所定の熱処理を通常の加熱炉にて施す。この熱処理の際に、汚染金属が存在しても、CVD-SiC板5が汚染金属の透過を防止するので、CVD-SiC板5で覆われた基板背面から汚染金属が浸透することはない。

【0014】例3

図5に示すように、シリコン半導体基板1の全面に公知のCVD法によって例1のSi₃N₄膜と同様なSi₃N₄膜6を成膜する。そして、例2と同様に別途用意したCVD-SiC板5をシリコン半導体基板1の背面でSi₃N₄膜6の上に載置する。このようにすることで、CVD-SiC板5で覆われた基板背面から汚染金属が浸透することはない。

【0015】

【発明の効果】以上説明したように、本発明に係る製造方法によれば、従来の汚染防止効果を一層高めることができ、半導体基板の背面（および側面）に絶縁性物質の覆いを設けることで熱処理時の汚染金属の半導体基板への浸入を低減ないし防止できる。汚染金属の半導体基板中に浸透することを減らすことは、半導体装置の歩留り向上にも寄与する。

【図面の簡単な説明】

【図1】半導体基板の背面および側面にCVD-SiC膜を形成した半導体装置の概略断面図である。

【図2】図1の半導体装置の全面にSi₃N₄膜を形成した半導体装置の概略断面図である。

【図3】半導体基板の背面にCVD-SiC板を配置した半導

体装置の概略断面図である。

【図 4】 図 3 の半導体装置の全面に Si_3N_4 膜を形成した半導体装置の概略断面図である。

【図 5】 全面 Si_3N_4 膜形成後に CVD-SiC 板を配置した半導体装置の概略断面図である。

【符号の説明】

1…半導体基板

2…CVD-SiC 膜

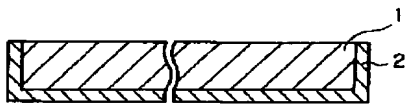
3… Si_3N_4 膜

5…CVD-SiC 板

6… Si_3N_4 膜

【図 1】

SiC 膜を形成した半導体装置の概略断面図



1…半導体基板
2…SiC 膜

【図 3】

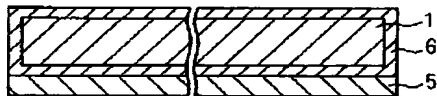
CVD-SiC 板を配置した半導体装置の概略断面図



1…半導体基板
5…SiC 板

【図 5】

全面 Si_3N_4 膜形成後に CVD-SiC 板を配置した概略図



【図 2】

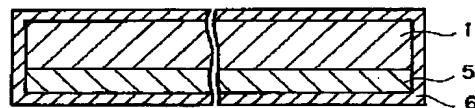
図 1 のものに Si_3N_4 膜を全面形成した半導体装置の概略図



3… Si_3N_4 膜

【図 4】

図 3 のものに Si_3N_4 膜を全面形成した半導体装置の概略図



6… Si_3N_4 膜